

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-104748

(43)Date of publication of application : 15.04.1994

(51)Int.Cl.

H03L 7/10
G06F 1/08
H03L 7/099

(21)Application number : 05-146048

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 17.06.1993

(72)Inventor : TAKETOSHI OSAMU
HATSUDA TSUGUYASU
YAMAGUCHI SEIJI

(30)Priority

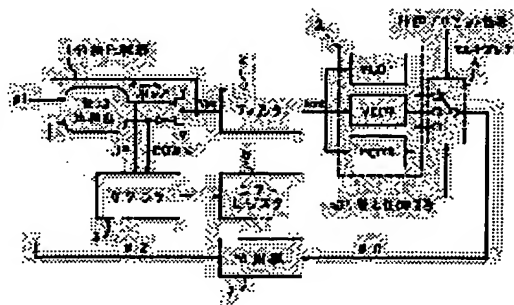
Priority number : 04162477 Priority date : 22.06.1992 Priority country : JP

(54) PLL CIRCUIT

(57)Abstract

PURPOSE: To attain a high speed lock-in operation despite the increase of a frequency variable range.

CONSTITUTION: A PLL circuit consists of a phase comparator 1, a filter 2, three voltage control oscillators VOC3 (VCO1-VCO3), a multiplexer 4, and a divider 7. The VCO1-VCO3 have the different center frequencies and the oscillation frequency of each VCO 3 is controlled based on the voltage value of the phase control signal V_{cont} supplied from the filter 2. The multiplexer 4 performs a switching operation among those three VCO3 which work in parallel to each other. Thus the multiplexer 4 is switched by a counter 5 via a shift register 6 when the pulses of the digital phase difference signal UP showing the phase delay of an internal signal $\phi_{int}/2$ against a reference signal ϕ_{ref} are continuously outputted twice from the comparator 1 or when the pulses of the digital phase difference signal DOWN showing the phase advance of the signal $\phi_{int}/2$ are continuously outputted twice.



LEGAL STATUS

[Date of request for examination] 19.06.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3014566

[Date of registration] 17.12.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

Best Available Copy

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-104748

(43)公開日 平成6年(1994)4月15日

(51)IntCl⁵

識別記号

庁内整理番号

FI

技術表示箇所

H03L 7/10

G06F 1/08

H03L 7/099

9182-5J

7165-5B

H03L 7/10

G06F 1/04

Z

320 A

審査請求 未請求 請求項の数17(全 10 頁) 最終頁に続く

(21)出願番号 特願平5-146048

(22)出願日 平成5年(1993)6月17日

(31)優先権主張番号 特願平4-162477

(32)優先日 平4(1992)6月22日

(33)優先権主張国 日本(JP)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 竹歳 修

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 初田 次康

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 山口 聖司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

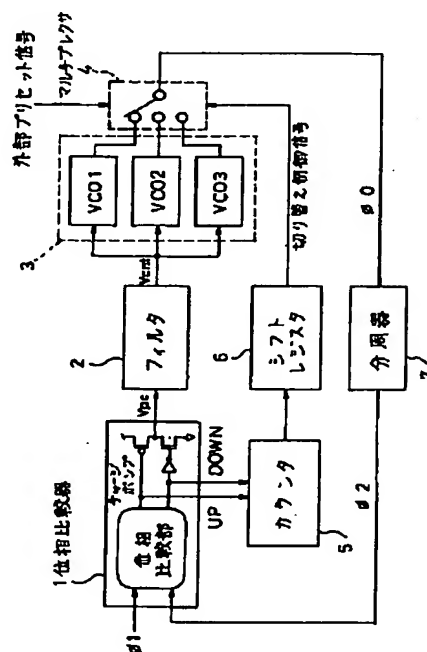
(74)代理人 弁理士 前田 弘 (外2名)

(54)【発明の名称】 PLL回路

(57)【要約】

【目的】 周波数可変範囲を拡大しても高速引込み動作を実現できるPLL回路を提供する。

【構成】 位相比較器1、フィルタ2、3つの電圧制御発振器3(VCO1~VCO3)、マルチプレクサ4及び分周器7でループ回路を構成する。VCO1~VCO3は、互いに異なる中心周波数を持ち、かつ各々フィルタ2からの位相制御信号V_{cnt}の電圧値に従って発振周波数が制御される。これらの並列動作するVCO1~VCO3のうちの使用すべきVCOの切り替えをマルチプレクサ4で行なう。そのため、基準信号φ1に対する内部信号φ2の位相遅れを示すデジタル位相差信号UPのパルスが位相比較器1から連続2回出力された場合又は内部信号φ2の位相進みを示すデジタル位相差信号DOWNのパルスが連続2回出力された場合には、カウンタ5により、シフトレジスタ6を介してマルチプレクサ4を切り替える。



【特許請求の範囲】

【請求項1】 基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較器と、

前記位相差信号に応じた電圧値を有する位相制御信号を生成するためのフィルタと、

互いに異なる中心周波数を持ちかつ各々前記位相制御信号の電圧値に従って発振周波数が制御される複数の電圧制御発振器と、

前記位相差信号又は位相制御信号に基づき前記複数の電圧制御発振器の出力のうちの1つを選択するための選択器と、

前記選択された電圧制御発振器の出力を分周することにより前記内部信号を生成するための分周器とを備えたことを特徴とするPLL回路。

【請求項2】 請求項1記載のPLL回路において、前記複数の電圧制御発振器は、位相制御信号の電圧値変化量に対する発振周波数の変化量が互いに等しいことを特徴とするPLL回路。

【請求項3】 請求項1記載のPLL回路において、前記複数の電圧制御発振器は、周波数可変範囲が互いに重なり合うことを特徴とするPLL回路。

【請求項4】 請求項1記載のPLL回路において、前記選択器は、前記位相差信号又は位相制御信号の履歴に基づいて前記複数の電圧制御発振器の出力の切り替えを行なうことを特徴とするPLL回路。

【請求項5】 請求項1記載のPLL回路において、前記選択器は、外部から前記複数の電圧制御発振器の出力の切り替えを制御できるように構成されたことを特徴とするPLL回路。

【請求項6】 請求項1記載のPLL回路において、前記分周器は、分周比が $1/n$ (n は正の整数)であることを特徴とするPLL回路。

【請求項7】 基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較器と、

前記位相差信号に応じた電圧値を有する位相制御信号を生成するためのフィルタと、

互いに異なる中心周波数を持ちかつ各々前記位相制御信号の電圧値に従って発振周波数が制御される複数の電圧制御発振器と、

前記複数の電圧制御発振器の各々の発振・停止の状態を切り替えるための制御回路と、

前記位相差信号又は位相制御信号に基づき前記複数の電圧制御発振器の出力のうちの1つを選択するための選択器と、

前記選択された電圧制御発振器の出力を分周することにより前記内部信号を生成するための分周器とを備えたことを特徴とするPLL回路。

【請求項8】 請求項7記載のPLL回路において、

前記複数の電圧制御発振器は、位相制御信号の電圧値変化量に対する発振周波数の変化量が互いに等しいことを特徴とするPLL回路。

【請求項9】 請求項7記載のPLL回路において、前記複数の電圧制御発振器は、周波数可変範囲が互いに重なり合うことを特徴とするPLL回路。

【請求項10】 請求項7記載のPLL回路において、前記制御回路は、前記位相差信号に基づいて動作が制御されることを特徴とするPLL回路。

【請求項11】 請求項7記載のPLL回路において、前記選択器は、前記位相差信号又は位相制御信号の履歴に基づいて前記複数の電圧制御発振器の出力の切り替えを行なうことを特徴とするPLL回路。

【請求項12】 請求項7記載のPLL回路において、前記選択器は、外部から前記複数の電圧制御発振器の出力の切り替えを制御できるように構成されたことを特徴とするPLL回路。

【請求項13】 請求項7記載のPLL回路において、前記分周器は、分周比が $1/n$ (n は正の整数)であることを特徴とするPLL回路。

【請求項14】 基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較器と、

前記位相差信号に応じた電圧値を有する位相制御信号を生成するためのフィルタと、

各々前記位相制御信号の電圧値に従って遅延時間が制御される複数の遅延回路を連結して構成された電圧制御発振器と、

前記位相差信号又は位相制御信号に基づき前記電圧制御発振器中の遅延回路の連結数を切り替えるための選択器と、

前記電圧制御発振器の出力を分周することにより前記内部信号を生成するための分周器とを備えたことを特徴とするPLL回路。

【請求項15】 請求項14記載のPLL回路において、

前記選択器は、前記位相差信号又は位相制御信号の履歴に基づいて前記複数の遅延回路の連結数の切り替えを行なうことを特徴とするPLL回路。

【請求項16】 請求項14記載のPLL回路において、

前記選択器は、外部から前記複数の遅延回路の連結数の切り替えを制御できるように構成されたことを特徴とするPLL回路。

【請求項17】 請求項14記載のPLL回路において、

前記分周器は、分周比が $1/n$ (n は正の整数)であることを特徴とするPLL回路。

【発明の詳細な説明】

【0001】

10

20

30

40

50

【産業上の利用分野】本発明は、PLL（フェーズ・ロックド・ループ）回路に関するものであり、例えばマイクロプロセッサに内蔵されたクロック回路に有効利用できる技術に関するものである。

【0002】

【従来の技術】近年、PLL回路は、マイクロプロセッサのクロック回路に用いられるようになった。具体的には、マイクロプロセッサにおける回路ブロック間の位相同期の実現や逡倍周波数クロックの生成に利用される。

【0003】図10は、従来のPLL回路の構成例を示すものである。図10のPLL回路は、位相比較器30、フィルタ31、電圧制御発振器（VCO）32及び分周器33を備えている。位相比較器30は、外部から入力された基準信号φ1と内部信号φ2との位相を比較し、その位相差に応じたアナログ位相差信号V_{pc}を出力する。フィルタ31は、アナログ位相差信号V_{pc}を積分することにより位相制御信号V_{cnt}を生成する。VCO32は、位相制御信号V_{cnt}に従って基本クロックφ0を生成する。この際、位相制御信号V_{cnt}の電圧（制御電圧）に従ってVCO32の発振周波数が制御される結果、基本クロックφ0の周波数が変更される。分周器33は、基本クロックφ0を分周することによりデューティ比50%の内部信号φ2を生成する。この内部信号φ2は、位相比較器30に一方の入力として帰還される。分周器33の分周比を例えば1/4とし、その中間タップから基本クロックφ0の1/2分周出力を取り出せば、基準信号φ1の2倍の周波数を持ったデューティ比50%の逡倍周波数クロックが得られる。

【0004】以上の構成のPLL回路を用いたクロック回路は、例えばI.A.Young et al., "A PLL Clock Generator with 5 to 110MHz Lock Range for Microprocessor", ISSCC Digest of Technical Papers, pp. 50-51, Feb. 1992に示されている。

【0005】

【発明が解決しようとする課題】一般に、PLL回路の周波数可変範囲を拡大できれば、広い周波数域にわたって同期動作が可能となるだけでなく、例えば実動作時は高周波数側で、動作テスト時は低周波数側でと使い分けることができる。低周波数のテスト機器は高周波数のテスト機器に比べて安価に入手できるので、テストの低コスト化が達成される。ところが、前記従来のPLL回路（図10）においてその周波数可変範囲を拡大しようとすると、該拡大された周波数可変範囲を1つのVCO32で保証しなければならないため、直線性の良好な入出力特性を持ったVCOの実現が困難になる。また、PLL回路の引込み動作の遅延すなわち引込み時間の増大という大きな問題が生じる。

【0006】本発明の目的は、周波数可変範囲を拡大しても高速引込み動作を実現できるPLL回路を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、請求項1～6の発明に係るPLL回路では、互いに異なる中心周波数を持った複数のVCOを設け、PLL回路の内部状態に応じて、使用するべきVCOの切り替えを行なうこととした。つまり、基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較器と、前記位相差信号に応じた電圧値を有する位相制御信号を生成するためのフィルタと、互いに異なる中心周波数を持ちかつ各々前記位相制御信号の電圧値に従って発振周波数が制御される複数のVCOと、前記位相差信号又は位相制御信号に基づき前記複数のVCOの出力のうちの1つを選択するための選択器と、該選択されたVCOの出力を分周することにより前記内部信号を生成するための分周器とを備えた構成を採用したものである。好ましくは、複数のVCOは、位相制御信号の電圧値変化量に対する発振周波数の変化量すなわち利得が互いに等しく設定される。また、該複数のVCOの周波数可変範囲は、互いに重なり合うように設定される。選択器は、位相差信号又は位相制御信号の履歴に基づいて複数のVCOの出力の切り替えを行なう。また、該選択器は、外部から複数のVCOの出力の切り替えを制御できるように構成される。分周器は、分周比が1/n（nは正の整数）である。

【0008】請求項7～13の発明に係るPLL回路では、上記請求項1～6の発明に係るPLL回路において使用していないVCOの発振動作を停止させることとした。つまり、基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較器と、前記位相差信号に応じた電圧値を有する位相制御信号を生成するためのフィルタと、互いに異なる中心周波数を持ちかつ各々前記位相制御信号の電圧値に従って発振周波数が制御される複数のVCOと、該複数のVCOの各々の発振・停止の状態を切り替えるための制御回路と、前記位相差信号又は位相制御信号に基づき前記複数のVCOの出力のうちの1つを選択するための選択器と、該選択されたVCOの出力を分周することにより前記内部信号を生成するための分周器とを備えた構成を採用したものである。好ましくは、複数のVCOは、利得が互いに等しく設定される。また、該複数のVCOの周波数可変範囲は、互いに重なり合うように設定される。制御回路は、位相差信号に基づいて動作が制御される。選択器は、位相差信号又は位相制御信号の履歴に基づいて複数のVCOの出力の切り替えを行なう。また、該選択器は、外部から複数のVCOの出力の切り替えを制御できるように構成される。分周器は、分周比が1/n（nは正の整数）である。

【0009】請求項14～17の発明に係るPLL回路では、発振周波数特性を変更できる1つのプログラマブルVCOを設け、PLL回路の内部状態に応じて該VCO

○の発振周波数特性の切り替えを行なうこととした。つまり、基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較器と、前記位相差信号に応じた電圧値を有する位相制御信号を生成するためのフィルタと、各々前記位相制御信号の電圧値に従って遅延時間が制御される複数の遅延回路を連結して構成されたVCOと、前記位相差信号又は位相制御信号に基づき前記VCO中の遅延回路の連結数を切り替えるための選択器と、前記VCOの出力を分周することにより前記内部信号を生成するための分周器とを備えた構成を採用したものである。好ましくは、選択器は、位相差信号又は位相制御信号の履歴に基づいて遅延回路の連結数の切り替えを行なう。また、該選択器は、外部から遅延回路の連結数の切り替えを制御できるように構成される。分周器は、分周比が $1/n$ (n は正の整数)に設定される。

【0010】

【作用】請求項1～6の発明によれば、複数のVCOは、各々目標周波数への追従動作を実行する。この状態において、ある周波数で発振している1つのVCOから目標周波数に近い周波数で発振している他のVCOへの切り替えにより「周波数ジャンプ」が生じる結果、PLL回路の高速引込み動作が達成される。しかも、複数のVCOを備えた該PLL回路の総合的な周波数可変範囲を拡大しても、個々のVCOが保証すべき周波数可変範囲を小さく設定することができるので、直線性の良好な入出力特性を持ったVCOの実現は容易であり、また各VCOの引込み時間が短縮される。

【0011】更に、複数のVCOの利得を互いに等しく設定すれば、PLL回路全体のループ利得は切り替え動作に関係なく一定となるので、ループのダンピング係数、帯域幅も一定となり好都合である。複数のVCOの周波数可変範囲が互いに重なり合うように設定される場合には、VCOの循環的な選択が回避される結果、PLL回路の更なる高速引込み動作が達成される。位相差信号又は位相制御信号の履歴に基づいて選択器が複数のVCOの出力の切り替えを行なうこととすれば、最適VCOの選択制御が容易になる。複数のVCOの出力の切り替えを外部からプリセットできるように選択器を構成すれば、PLL回路の起動時(初期動作時)における引込み時間が短縮される。分周器の分周比を $1/n$ に設定すれば、デューティ比50%の逡倍周波数クロックが容易に得られる。

【0012】請求項7～13の発明によれば、例えば位相同期時(ロック時)には使用していないVCOの動作を停止させることが可能となるので、PLL回路の消費電力が低減される。更に位相差信号に基づいて制御回路の動作が制御されることとすれば、PLL回路の内部状態に応じたVCOの発振・停止制御が可能になる。

【0013】請求項14～17の発明によれば、1つの

VCO中の遅延回路の連結数をPLL回路の内部状態に応じて切り替えることにより、該VCOの発振周波数特性が適宜変更される。この特性変更により「周波数ジャンプ」が生じる結果、PLL回路の周波数可変範囲を拡大しても、該PLL回路の高速引込み動作が達成される。しかも、一部遅延回路の共用により、VCO部分の小面積化、低消費電力化が図れる。また、位相差信号又は位相制御信号の履歴に基づいて選択器が遅延回路の連結数の切り替えを行なうこととすれば、最適特性の選択制御が容易になる。遅延回路の連結数の切り替えを外部からプリセットできるように選択器を構成すれば、PLL回路の起動時(初期動作時)における引込み時間が短縮される。分周器の分周比を $1/n$ に設定すれば、デューティ比50%の逡倍周波数クロックが容易に得られる。

【0014】

【実施例】以下、本発明の実施例に係るPLL回路について、図面を参照しながら説明する。

【0015】(実施例1)図1は、本発明の第1の実施例に係るPLL回路のブロック図である。図1のPLL回路は、位相比較器1、フィルタ2、3つの電圧制御発振器3、マルチプレクサ4、カウンタ5、シフトレジスタ6及び分周器7を備えている。位相比較器1は、位相比較部とチャージポンプとにより構成される。位相比較部は、外部から入力された基準信号 ϕ_1 と内部信号 ϕ_2 との位相を比較し、その位相差に応じたデジタル位相差信号UP、DOWNを出力する。UPは ϕ_2 の位相遅れを、DOWNは ϕ_2 の位相進みを各々示すパルス信号である。チャージポンプは、デジタル位相差信号UP、DOWNに従って、基準信号 ϕ_1 と内部信号 ϕ_2 との位相差に応じた電圧値を有するアナログ位相差信号 V_{pc} を出力する。フィルタ2は、アナログ位相差信号 V_{pc} を積分することにより位相制御信号 V_{cnt} を生成する。VCO1、VCO2及びVCO3は、互いに異なる中心周波数を持ちかつ各々フィルタ2からの位相制御信号 V_{cnt} の電圧値に従って発振周波数が制御されるものである。VCO1の中心周波数が最も高く、かつVCO3の中心周波数が最も低く設定されている。マルチプレクサ4は、並列動作しているVCO1～VCO3の出力のうちの1つを基本クロック ϕ_0 として選択するための選択器である。カウンタ5は、位相比較器1からUPのパルスが連続2回出力された場合又はDOWNのパルスが連続2回出力された場合に、シフトレジスタ6にシフト信号を与えるものである。シフトレジスタ6は、マルチプレクサ4の切り替えを制御するためのデータを保持したレジスタであって、該データはカウンタ5からのシフト信号に応じて更新される。分周器7は、基本クロック ϕ_0 を分周することによりデューティ比50%の内部信号 ϕ_2 を生成する。この内部信号 ϕ_2 は、位相比較器1に一方の入力として帰還される。

【0016】マルチプレクサ4の切り替えは、外部プリセット信号又はシフトレジスタ6からの切り替え制御信号により制御される。外部プリセット信号は、所望の動作点から目標周波数への追従動作を開始できるように、PLL回路の起動前に予めVCO1~VCO3のうちの1つをマルチプレクサ4に選択させるための信号である。

【0017】VCO1~VCO3の各々の発振周波数特性の一例を図2に示す。図2において、横軸は制御電圧V（位相制御信号V_{cnt}の電圧値）を、縦軸は発振周波数fを各々示している。この例では、VCO1~VCO3は、制御電圧Vの変化量に対する発振周波数fの変化量すなわち利得が一定かつ互いに等しく、かつ各VCOの周波数可変範囲が互いにオーバーラップしないように、各々の発振周波数特性が設定されている。

【0018】図2は、図1のPLL回路における目標周波数f₀への追従動作をも示している。ただし、VCO2の周波数可変範囲内に目標周波数f₀があるものと仮定している。

【0019】図2中の動作点P1から追従動作を開始する場合には、マルチプレクサ4はVCO3の出力を選択している。この状態ではVCO3の発振周波数が目標周波数f₀よりかなり低く、基準信号φ1と内部信号φ2との位相差（周波数の差）が大きくなっている。したがって、位相比較器1から出力されるアナログ位相差信号V_{pc}の電圧値が増大し、これに伴ってフィルタ2から出力される位相制御信号V_{cnt}の電圧値も増大する。この結果、PLL回路の動作点はVCO3の特性直線上を移動し、発振周波数fが増大する。一方、内部信号φ2の位相遅れを示すデジタル位相差信号UPのパルスが位相比較器1から連続して出力され、該パルスをカウンタ5が計数する。そして、UPのパルスが連続2回出力された時点でシフトレジスタ6にシフト信号が与えられ、マルチプレクサ4の選択がVCO3からVCO2に切り替えられる。これにより、PLL回路の動作点はVCO2の特性直線上へ遷移し、発振周波数fが目標周波数f₀の近傍へジャンプする。そして、VCO2により、基準信号φ1に対するPLL回路の位相同期がすばやく達成される。図3は、動作点P1から開始した以上の追従動作の過程を信号波形図の形式で示したものである。

【0020】図2中の動作点P2から追従動作を開始する場合には、図4に示すように内部信号φ2の位相進みを示すデジタル位相差信号DOWNの2パルス目でVCO1からVCO2への切り替えが行なわれる結果、動作点P1から開始する場合と同様にPLL回路の位相同期がすばやく達成される。

【0021】以上のとおり、本実施例によれば、使用VCOの切り替えにより周波数ジャンプが生じる結果、PLL回路の高速引込み動作が達成される。しかも、PLL回路の総合的な周波数可変範囲を拡大しても、VCO

1~VCO3の各々が保証すべき周波数可変範囲を小さくすることができるので、直線性の良好な入出力特性を持ったVCOの実現は容易であり、また各VCOの引込み時間が短縮される。このようにしてPLL回路の周波数可変範囲を支障なく拡大できる結果、実動作時と動作テスト時との動作周波数の使い分けが可能となり、PLL回路の動作テストの低コスト化に寄与することができる。また、例えばVCO1に故障が生じて、残りの健全なVCO2及びVCO3でPLL回路の制限された機能を達成できる。

【0022】さて、VCO1~VCO3の周波数可変範囲が互いにオーバーラップしない図2の発振周波数特性を採用する場合には、追従動作時にVCOの循環的な選択が生じる可能性がある。図5に示すように、VCO3の周波数可変範囲内に目標周波数f₀があり、かつ基準信号φ1に対して内部信号φ2の位相が遅れた（発振周波数が低い）状態の動作点P1から追従動作を開始するものとする。この際、目標周波数f₀に到達するまでに、VCO3-VCO2-VCO3という選択の循環が起きる。つまり、発振周波数特性上の動作点の移動経路が回り道となり、PLL回路の引込み動作に遅延が生じる。

【0023】この遅延は、図6に示すようにVCO1~VCO3の周波数可変範囲をオーバーラップさせることによって解消される。目標周波数f₀がVCO3の周波数可変範囲だけでなくVCO2の周波数可変範囲にも含まれるため、VCO2により目標周波数f₀への位相同期がすばやく達成されるのである。また、VCO1~VCO3の周波数可変範囲が互いにオーバーラップした図6の発振周波数特性を採用する場合には、各VCOの利得間にばらつきがあっても、PLL回路の所望の総合的な周波数可変範囲を全てカバーできる効果がある。つまり、利得のばらつきを見込んでオーバーラップ長を設計すれば、PLL回路の製品歩留りが向上する。

【0024】ところで、VCOを切り替えた直後は一時的な系の不安定状態を生じやすい。ただし、動作周波数がキャプチャ・レンジ内にあれば引込み可能であるので、系は安定する。したがって、追従動作が逸脱しない範囲において、必ずしもVCO1~VCO3の利得を互いに等しくしなくてもよい。本実施例では、VCO1~VCO3の利得を互いに等しく設定したことにより、PLL回路全体のループ利得はVCOの切り替え動作に関係なく一定であり、したがってループのダンピング係数、帯域幅も一定となる効果がある。

【0025】なお、本実施例ではPLL回路の内部状態をデジタル位相差信号UP、DOWNの履歴に基づいて検知したが、アナログ位相差信号V_{pc}又は位相制御信号V_{cnt}の電圧値の上昇及び下降の履歴に関するモニタ結果を用いてもよい。VCOの配設数は、使用条件に応じて適宜変更可能である。選択器としてのマルチプレクサ

4に代えて、トランスファークラーク、リレー回路などを採用することも可能である。分周器7の分周比を $1/n$ (n は正の整数)に設定すれば、デューティ比50%の所望の通信周波数クロックが容易に得られる。

【0026】(実施例2)図7は、本発明の第2の実施例に係るPLL回路のブロック図である。第2の実施例は、図1の構成にVCO制御回路10を付加した構成を採用したものである。VCO1~VCO3の発振周波数特性は、図2又は図6に示すものである。VCO制御回路10は、位相比較器1から出力されるデジタル位相差信号UP、DOWNに基づくカウンタ5からのシフト信号及びシフトレジスタ6からの切り替え制御信号に応じて、VCO1~VCO3の各々の発振・停止の状態を切り替えるための回路である。以下、PLL回路の内部状態別にVCO制御回路10の役割を説明する。

【0027】(1)初期状態

カウンタ5は、発振周波数を急変させるように、シフトレジスタ6を通じてVCOの切り替えを行なおうとする。VCO制御回路10は、カウンタ5からのシフト信号を受けて、VCO1~VCO3の全てに発振動作をさせる。したがって、第1の実施例の場合と同様の使用VCOの切り替えにより、目標周波数への高速追従動作すなわちPLL回路の高速引込み動作が達成される。

【0028】(2)位相同期状態

VCO制御回路10は、カウンタ5からシフト信号が出力されないことを受けて位相同期状態であるとの判定を下すとともに、シフトレジスタ6からの切り替え制御信号より現在のVCO選択情報を得て、現在選択されているVCOを除く2つのVCOの発振動作を停止させる。このようにして不使用VCOの動作を停止させることにより、第1の実施例の場合に比べてPLL回路の消費電力が低減される。

【0029】基準信号φ1の周波数変化や外来ノイズなどに起因してPLL回路が位相同期状態から外れた場合、VCO制御回路10は、カウンタ5からのシフト信号の出力の有無に応じて動作を切り替える。すなわち、VCOの切り替えを必要としない程度の小さい変動である場合には、カウンタ5からシフト信号は出力されず、上記位相同期状態(2)の動作を継続する。つまり、現在選択されているVCOのみで再引込みが達成される。一方、VCOの切り替えが必要となるほど大きい変動が生じた場合には、カウンタ5からシフト信号が出力される結果、上記初期状態(1)と同様の動作に切り替わる。これにより、前記の周波数ジャンプを通じた高速再引込み動作が達成される。

【0030】以上のとおり、第2の実施例によれば、前記第1の実施例の効果に加えて、PLL回路の消費電力が低減される効果がある。

【0031】(実施例3)図8は、本発明の第3の実施例に係るPLL回路のブロック図である。図8のPLL

回路は、位相比較器1、フィルタ2、1つのVCO20、マルチプレクサ21、カウンタ5、シフトレジスタ6及び分周器7を備えている。VCO20及びマルチプレクサ21を除く回路ブロック1、2、5、6、7の各々ののはたらきは、第1の実施例と同様である。

【0032】VCO20は、例えば7個のインバータをチェーン状に連結して構成されたものである。3段目、5段目及び7段目の各インバータの出力VCO1、VCO2及びVCO3は、マルチプレクサ21を介して選択的に1段目のインバータに帰還される。つまり、リングオシレータを構成するインバータチェーンの段数が、マルチプレクサ21により3段階に切り替えられる。VCO1が選択された場合の発振周波数が最も高く、VCO3が選択された場合の発振周波数が最も低い。しかも、7個のインバータは、各々非反転入力端子及び反転出力端子に加えて遅延制御入力端子を備えており、全てのインバータの遅延制御入力端子にフィルタ2からの位相制御信号Vcntが共通に印加される。これにより、位相制御信号Vcntの電圧値変化に応じて各インバータの遅延時間が変化する結果、VCO20の発振周波数が変更可能となっている。

【0033】マルチプレクサ21の切り替えは、外部リセット信号又はシフトレジスタ6からの切り替え制御信号により制御される。これにより、VCO20の発振周波数特性が3段階に切り替えられる。図9は、各々VCO1~VCO3で示された互いに利得が異なりかつ周波数可変範囲が互いにオーバーラップした3種の発振周波数特性の例を表わしている。

【0034】図9は、図8のPLL回路における目標周波数f0への追従動作をも示している。図9中の動作点P1から追従動作を開始する場合には、マルチプレクサ21はVCO3で示される周波数特性を選択している。この状態ではVCO20の発振周波数が目標周波数f0よりかなり低く、基準信号φ1と内部信号φ2との位相差(周波数の差)が大きくなっている。したがって、位相比較器1から出力されるアナログ位相差信号Vpcの電圧値が増大し、これに伴ってフィルタ2から出力される位相制御信号Vcntの電圧値も増大する。この結果、PLL回路の動作点はVCO3で示される特性直線上を移動し、発振周波数fが増大する。一方、内部信号φ2の位相遅れを示すデジタル位相差信号UPのパルスが位相比較器1から連続して出力され、該パルスをカウンタ5が計数する。そして、UPのパルスが連続2回出力された時点でシフトレジスタ6にシフト信号が与えられ、マルチプレクサ21による特性選択がVCO3からVCO2に切り替えられる。これにより、PLL回路の動作点はVCO2で示される特性直線上へ遷移し、発振周波数fが目標周波数f0の近傍へジャンプする。この結果、基準信号φ1に対するPLL回路の位相同期がすばやく達成される。

【0035】図9中の動作点P2から追隨動作を開始する場合には、内部信号φ2の位相進みを示すデジタル位相差信号DOWNの2パルス目でVCO1からVCO2への特性切り替えが行なわれる結果、動作点P1から開始する場合と同様にPLL回路の位相同期がすばやく達成される。

【0036】以上のとおり、本実施例によれば、リングオシレータを構成するインバータチェーンの段数切り替えを通じたVCO20の発振周波数特性の切り替えにより周波数ジャンプが生じる結果、PLL回路の周波数可変範囲を拡大しても、該PLL回路の高速引込み動作が達成される。しかも、VCO20中の一部インバータの共用により、第1の実施例の場合に比べて該VCO部分の小面積化、低消費電力化が図れる。

【0037】なお、本実施例ではPLL回路の内部状態をデジタル位相差信号UP、DOWNの履歴に基づいて検知したが、アナログ位相差信号V_{pc}又は位相制御信号V_{cnt}の電圧値の上昇及び下降の履歴に関するモニタ結果を用いてもよい。VCO20を構成するインバータチェーンの段数や、VCO20の選択可能な発振周波数特性の数は、使用条件に応じて適宜変更可能である。VCO20中の各インバータに代えて、前記I.A.Young et al.による差動回路で構成された遅延回路を採用することもできる。選択器としてのマルチプレクサ21に代えて、トランスファゲート、リレー回路などを採用することも可能である。分周器7の分周比を1/n (nは正の整数)に設定すれば、デューティ比50%の所望の通信周波数クロックが容易に得られる。

【0038】

【発明の効果】以上説明してきたとおり、請求項1～6の発明によれば、互いに異なる中心周波数を持った複数のVCOを設け、PLL回路の内部状態に応じて使用VCOの切り替えを行なう構成を採用したので、PLL回路の周波数可変範囲を拡大してもその高速引込み動作を達成できる。

【0039】請求項7～13の発明によれば、上記請求項1～6の発明に係るPLL回路において使用していないVCOの発振動作を停止させる構成を採用したので、PLL回路の消費電力が低減される。

【0040】請求項14～17の発明によれば、遅延回路の連結数の切り替えにより発振周波数特性を変更できる1つのプログラマブルVCOを設け、PLL回路の内部状態に応じて該VCOの特性切り替えを行なう構成を

採用したので、PLL回路の周波数可変範囲を拡大してもその高速引込み動作を達成できるだけでなく、VCO部分の小面積化、低消費電力化が図れる。

【図面の簡単な説明】

【図1】本発明の第1の実施例に係るPLL回路のブロック図である。

【図2】図1のPLL回路中の各VCOの周波数可変範囲をオーバーラップさせない場合の該PLL回路における目標周波数への追隨動作を示す周波数特性図である。

【図3】図1のPLL回路において図2中のP1から追隨動作を開始した場合の各部信号波形図である。

【図4】図2中のP2から追隨動作を開始した場合の図3と同様の図である。

【図5】図2の周波数特性の設定ではある目標周波数に対してPLL回路の追隨動作が遅くなることを示す説明図である。

【図6】図1のPLL回路中の各VCOの周波数可変範囲をオーバーラップさせた場合の該PLL回路における目標周波数への追隨動作を示す周波数特性図である。

【図7】本発明の第2の実施例に係るPLL回路のブロック図である。

【図8】本発明の第3の実施例に係るPLL回路のブロック図である。

【図9】図8のPLL回路における目標周波数への追隨動作を示すVCO周波数特性図である。

【図10】従来のPLL回路のブロック図である。

【符号の説明】

1 位相比較器

2 フィルタ

3 電圧制御発振器(VCO)

4 マルチプレクサ(選択器)

5 カウンタ

6 シフトレジスタ

7 分周器

10 VCO制御回路

20 電圧制御発振器(VCO)

21 マルチプレクサ(選択器)

φ1 基準信号

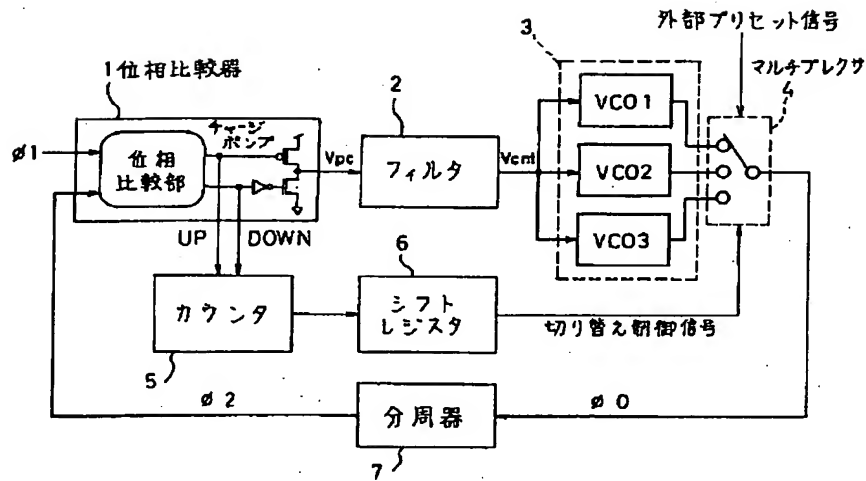
φ2 内部信号

40 V_{pc} アナログ位相差信号

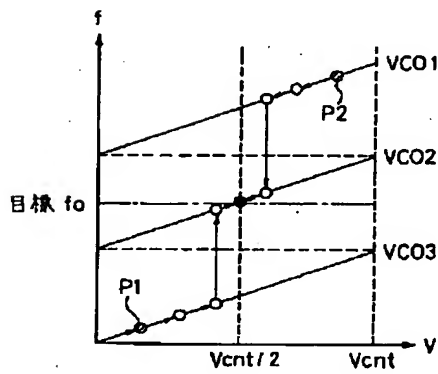
UP、DOWN デジタル位相差信号

V_{cnt} 位相制御信号

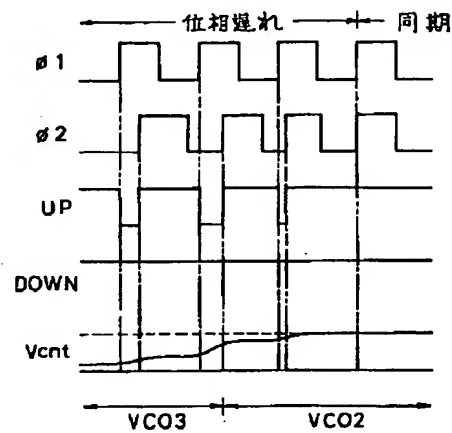
【図1】



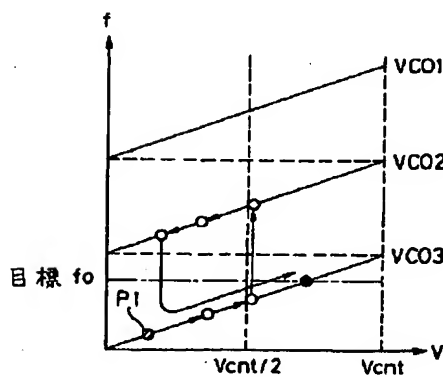
【図2】



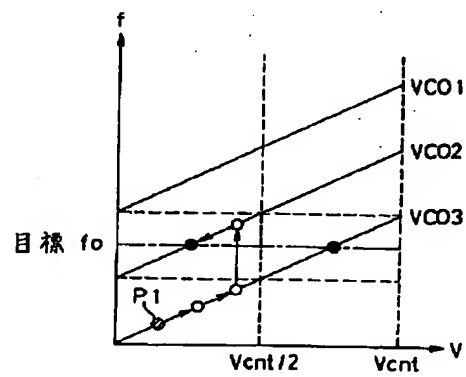
【図3】



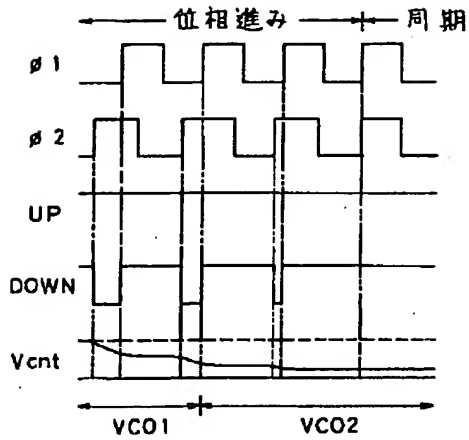
【図5】



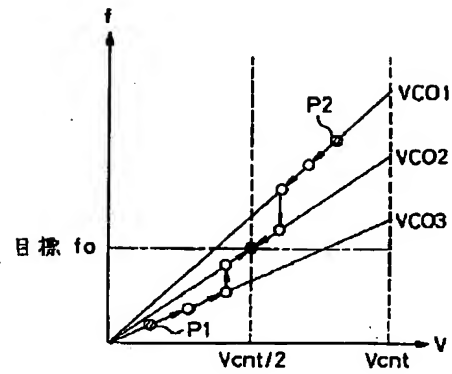
【図6】



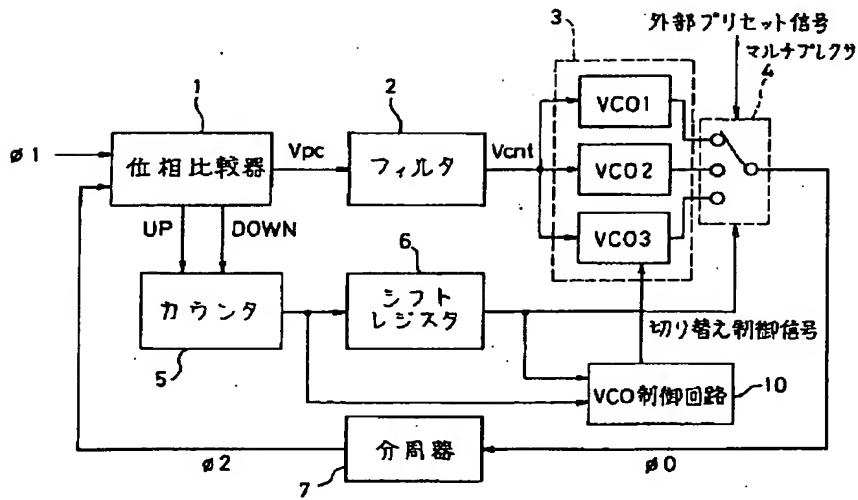
【図4】



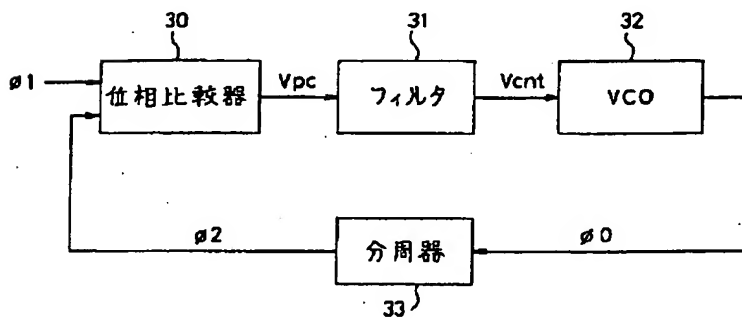
【図9】



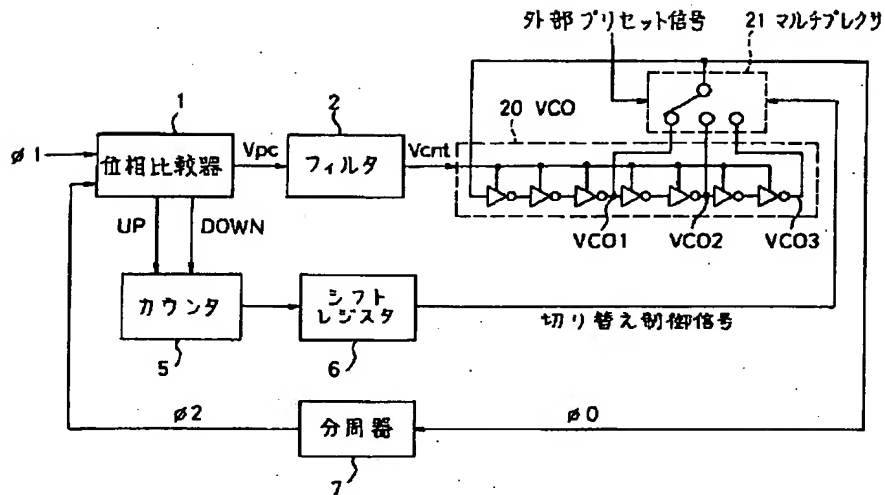
【図7】



【図10】



【図8】



フロントページの続き

(51)Int. Cl.

識別記号

片内整理番号
9182-5J

F I

H 0 3 L 7/08

技術表示箇所

F

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.